



Contributions aux circuits de “ gate-driver ” dédiés aux transistors de puissance à forte vitesse de commutation dans un environnement haute temperature

Van-Sang Nguyen, Thanh-Long Le, Farshid Sarrafin-Ardebili, Davy Colin, Ngoc-Duc To, Nicolas Clément, Jean-Paul Rouger, Pierre Lefranc, Yves Lembeye, Jean-Daniel Arnould, Nicolas Carrao, et al.

► To cite this version:

Van-Sang Nguyen, Thanh-Long Le, Farshid Sarrafin-Ardebili, Davy Colin, Ngoc-Duc To, et al.. Contributions aux circuits de “ gate-driver ” dédiés aux transistors de puissance à forte vitesse de commutation dans un environnement haute temperature. Symposium de Genie Electrique, Jun 2016, Grenoble, France. hal-01361602

HAL Id: hal-01361602

<https://hal.science/hal-01361602>

Submitted on 7 Sep 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Contributions aux circuits de commande gate driver dédiés à la haute température et aux très fortes vitesses de commutation

NGUYEN Van-Sang^{1,2}, LE Thanh-Long^{1,2}, Farshid SARRAFIN^{1,2,4}, TO Ngoc-Duc^{1,2,3}, Davy COLIN^{1,2}, Nicolas ROUGER^{1,2}, Pierre LEFRANC^{1,2}, Bruno ALLARD⁴, Yves LEMBEYE^{1,2}, Jean-Daniel ARNOULD^{1,3}, Nicolas CARRAO^{1,3} et Jean-Christophe CREBIER^{1,2}

¹Université de Grenoble Alpes, F-38000 Grenoble, France

²CNRS, G2ELab, F-38000 Grenoble, France

³CNRS, IMEP - LAHC, F-38000 Grenoble, France

⁴INSA Lyon, AMPERE, F-69000 Lyon, France

RESUME -Basé sur les contraintes de fonctionnement des transistors à commutations rapides, cet article présente et analyse la problématique du transfert des ordres de commande du transistor « high-side » dans une configuration de bras d'onduleur. En plus des contraintes imposées par les forts « dv/dt » sur le driver, la température de fonctionnement élevée (jusqu'à 200°C) impose une conception spécifique du circuit de commande. Aujourd'hui, la technologie silicium reste la solution la plus fiable et la plus mature pour la conception du driver mais au prix d'une mise en œuvre délicate (tenue en tension, température, dv/dt). Trois solutions sont proposées et comparées : transformateur coreless, level-shifter et émetteur/récepteur optique. Les délais de propagation, l'intégrité du signal (durée du rapport cyclique et précision temporelle) ainsi que l'immunité aux dv/dt des prototypes sont caractérisées en fonction de la température ambiante de fonctionnement. En complément de ces solutions intégrées de transferts des ordres de commande, une solution intégrée de génération de l'alimentation flottante par voie optique est proposée, permettant de supprimer tout lien électrique entre le gatedriver et l'environnement externe.

Mots-clés—Gate Driver, GaN, Circuit de Command, Level Shifter, Driver Coreless, Driver Optique

1. INTRODUCTION

Aujourd'hui, les transistors de puissance à forte vitesse de commutation et en particulier les transistors à grand gap sont des composants très contraignants [1-3]. Les vitesses de commutation très élevées impliquent la nécessité d'une grande précision temporelle du signal de commande. Les forts dv/dt introduisent des contraintes extrêmes au niveau du transfert d'ordres pour le transistor « high-side » [4-5]. Enfin, le fonctionnement à haute température ambiante complexifie la conception du gatedriver et nécessite de se tourner vers des technologies dites « haute-température ».

L'objectif de cet article est de proposer et d'analyser des solutions de transfert d'ordres de commande, physiquement aussi proche que possible du transistor de puissance pour minimiser les éléments parasites tout en répondant aux contraintes thermiques. Ce papier se concentre sur des solutions innovantes de transfert du signal lowside et/ou highside dans des circuits dédiés (ASIC) SOI-CMOS

sous des conditions de fonctionnement à haute température jusqu'à 200°C. Il présente le travail d'investigation mené dans le cadre du projet national MEGAN, et plus spécifiquement dans le work package 3 dédié à la conception et au prototypage d'un gate driver intégré adapté aux nouvelles contraintes imposées par les composants GaN. Enfin, une solution de génération d'alimentation flottante du gate driver par voie optique est proposée, afin de coupler les circuits de transferts des signaux de commande à une isolation galvanique intégrée.

2. INTEGRATIONS MONOLITHIQUES DE LA FONCTION DE TRANSFERT D'ORDRES DE COMMANDE

Trois approches sont candidates pour le transfert du signal de commande du transistor « high-side » dans des conditions de fonctionnement sévères : levelshifter à source de courant, transformateur sans noyau magnétique (« coreless ») et optocoupleur « décomposé » (intégration monolithique de l'étage de réception au sein du gate driver). Pour chaque technique, les avantages et les inconvénients sont identifiés. La solution de « level-shifter » ne propose pas d'isolation galvanique car le transfert d'ordre se fait par l'intermédiaire d'un miroir de courant. Afin de diminuer la consommation de la fonction, l'idée est de travailler avec un système d'envoi d'impulsions et ensuite de transformer celles-ci en états logiques. Nous verrons que cette technique permet d'avoir un temps de propagation d'environ 16ns avec une faible déviation de cette valeur en fonction de la température de fonctionnement.

Ensuite, la solution de transformateur coreless [5], intégré sur puce silicium avec le modulateur et le démodulateur, montre un fonctionnement satisfaisant mais avec une susceptibilité plus importante à cause de son couplage capacitif entre son primaire et son secondaire. Nous verrons par la suite que l'isolation galvanique quasi-statique est de 5.2kV pour la partie coupleur mais que cette solution repose sur une structure bi-puces pour offrir de tels niveaux d'isolation électrique.

La solution optique intégrée semble prometteuse pour son immunité au dv/dt et sa tenue diélectrique. L'approche est basée sur la transmission d'une information par voie

optique par fibre optique à un récepteur optique intégré directement dans la puce de commande, avec l'ensemble des fonctions électroniques de traitement et d'amplification du signal. Si ce dispositif montre des performances très prometteuses, le packaging reste un problème clé, particulièrement quand plusieurs transistors doivent être pilotés, chaque gate driver nécessitant une fibre optique dédiée avec pour chacune d'elles, une solution packaging de mise en œuvre et d'adaptation de la fibre sur les puces. Nous verrons que la réponse spectrale des différents détecteurs intégrés montre un bon ratio de conversion optique, une très bonne immunité aux dv/dt et une déviation du rapport cyclique faible.

Les trois solutions ont été conçues et réalisées avec la technologie SOI XFAB XT018, qualifiée pour une utilisation en haute température à 175°C. Dans le cadre du projet MEGAN, cette technologie est par ailleurs évaluée pour des fonctionnements au-delà de cette température et jusqu'à 225°C par d'autres partenaires ce qui permettrait peut-être dans l'avenir de pousser la température de fonctionnement de ces solutions au-delà de 175°C.

3. DESIGNS ET CARACTERISATIONS

La technologie XFAB XT018 a été choisie par rapport à plusieurs critères : haute température, forte capacité en courant, large plage de tension avec de multiples composants à différents niveaux tensions et un caisson d'oxyde pour l'isolation. C'est une technologie SOI (Silicon On Insulator) partiellement déplétée avec 6 niveaux de métaux disponibles. De plus, cette technologie implémente des caissons d'oxyde qui limitent le crosstalk entre les différents circuits et le substrat, ce qui limite le courant de fuite et les capacités parasites. Un faible courant de fuite reste un facteur critique, surtout à haute température. Dans la suite, les trois méthodes de transfert d'ordre sont présentées par l'intermédiaire de trois puces de test fabriquées avec la technologie XFAB.

3.1 Transformateur coreless

La figure 1 montre un schéma de principe de la fonction de transmission de signal avec transformateur coreless. Cette fonction se décompose en 4 parties : le circuit de commande du primaire, le transformateur sans noyau et le démodulateur et le buffer de sortie au secondaire du transformateur. Les éléments de chaque circuit sont présentés comme suit :

Le circuit primaire est composé d'un mélangeur et d'un modulateur intégrés. Dans une première puce figure 1, le côté primaire est piloté par une fonction MLI créneau (VDD1) modulé par une porteuse haute fréquence. Le transformateur intégré assure l'isolation galvanique entre le primaire et le secondaire. L'enroulement secondaire se situe au-dessus de l'enroulement primaire. Le circuit secondaire est intégré dans une seconde puce pour limiter les capacités parasites du substrat et pour tenir la tension entre les deux parties du circuit, la technologie XFAB sélectionnée étant limitée à 200V. Le circuit secondaire consiste en une détection de crête associée à un comparateur rapide puis un étage d'amplification en courant qui pilote le composant de puissance. Les deux puces sont interconnectées l'une à l'autre par l'intermédiaire de deux fils de bonding. Elles disposent l'une et l'autre d'une alimentation isolée avec deux références de potentiels différentes GND1 et GND2. La photo au microscope optique des puces XFAB XT018 est présentée en figure 2.

La figure 3 montre les formes d'onde en tension appliquées côté primaire, où la fréquence de modulation est de 330 MHz.

Dans la figure 4, la capacité parasite entre primaire et secondaire du transformateur sans noyau est caractérisée à 1.8 pF à 1 MHz et la tenue en tension est supérieure à 3kV. Afin d'obtenir une meilleure caractérisation des éléments du modèle équivalent du transformateur intégré, une caractérisation d'un composant de test a été effectuée au laboratoire IMEP-LAHC à Grenoble, permettant la mesure en mode différentiel (GSSG) sur la plage 70MHz-20GHz. La figure 5 présente un transformateur de test dédié à la caractérisation sous pointe, et la figure 6 la valeur des paramètres S mesurés à température ambiante. La figure 6 démontre le bon fonctionnement du transformateur, et plus particulièrement d'une résonance en S21 à 650MHz, en conformité avec notre modélisation et notre conception. Sur la figure 7, les délais de propagation entre le signal d'entrée et le signal de sortie démodulé sont mesurés pour différentes températures jusqu'à 200°C. On observe que le temps de propagation de l'état haut vers l'état bas est plus impacté par l'élévation de la température moyenne. Cette dispersion est attribuée au circuit de détection qui intègre un circuit RC et dont la partie résistive est fortement dépendante à la température. Si l'activation du détecteur est maintenue rapide, la décharge du circuit de détection est-elle dépendante de la température.

Une perturbation en tension par un créneau de 100 V avec un dv/dt de 25 V/ns est appliquée entre le côté primaire et secondaire à l'aide d'un bras d'onduleur auxiliaire. Sur la fig. 8a, la mesure du signal en sortie du driver est présentée mais sans signal d'entrée au primaire. On observe des variations du potentiel en sortie du buffer du secondaire qui sont dues aux courants parasites qui traversent les capacités parasites du transformateur coreless.

Quand le signal d'entrée est appliqué, la mesure du signal de sortie est montrée en fig. 8b. La perturbation observée précédemment est toujours présente mais elle n'affecte pas l'intégrité du signal de sortie.

Dans ce dispositif expérimental, il persiste une capacité parasite entre primaire et secondaire importante car seule la solution mono-puce a pu être testée de manière satisfaisante. Cette puce, variante de conception, intègre l'ensemble des fonctions sur la même puce. Dans ce cas, le système est fonctionnel mais présente une tenue en tension limitée à 200V et surtout, il intègre une grande capacité parasite entre l'entrée et la sortie car les parties primaire et secondaire sont couplées par l'intermédiaire du substrat commun. Nous travaillons à l'identification du problème de la solution bi-puce expérimentale et projetons que cette solution sera en mesure de supporter des dv/dt supérieurs à 50V/ns.

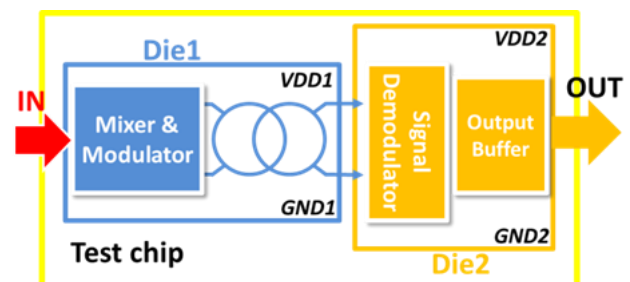


Fig. 1. Schéma du driver intégré avec un transformateur sans noyau

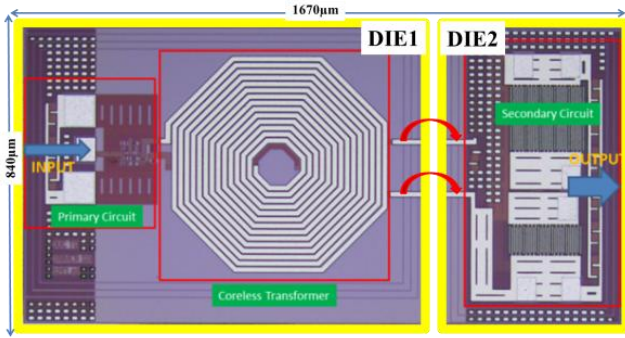


Fig. 2. Image au microscope optique des fonctions de transfert

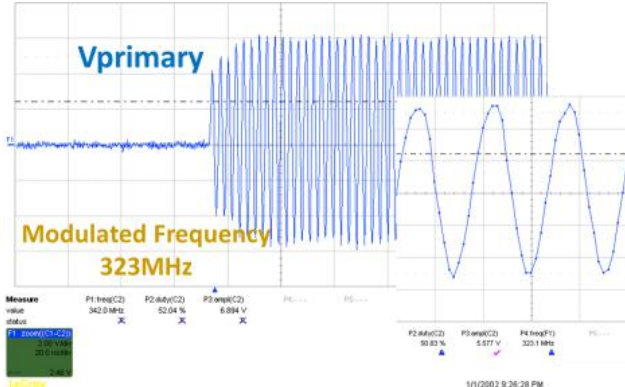


Fig. 3. Tension primaire du transformateur sans noyau

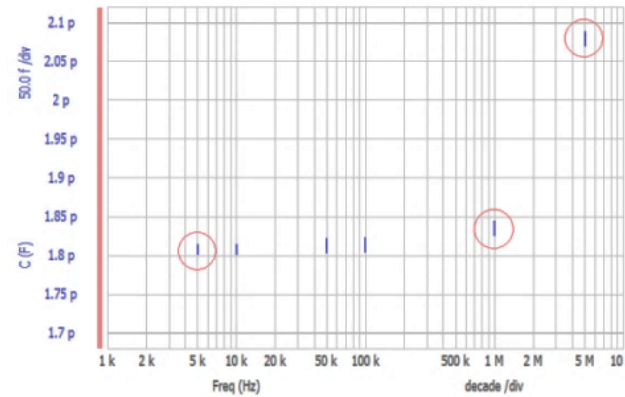


Fig. 4. Capacité parasite entre primaire et secondaire du transformateur sans noyau en fonction de la fréquence, à température ambiante

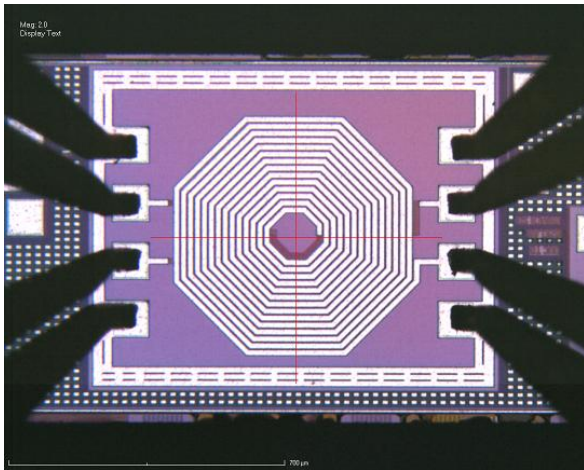


Fig. 5. Image au microscope optique lors de la caractérisation des paramètres S du transformateur intégré, sur la plage 70MHz-20GHz, en mode différentiel

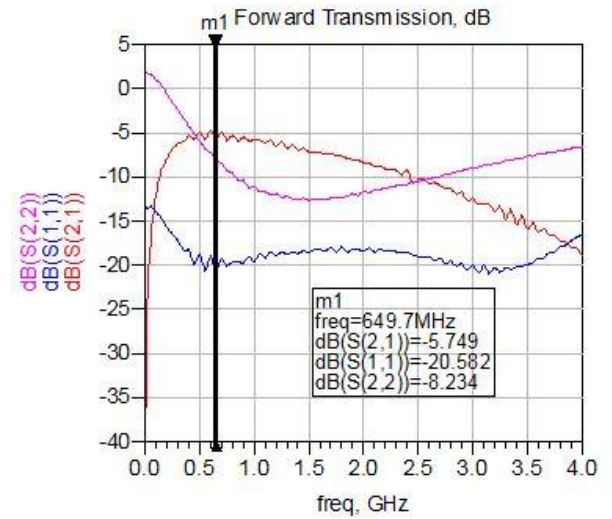


Fig. 6. Mesure des paramètres S du transformateur de la figure 4

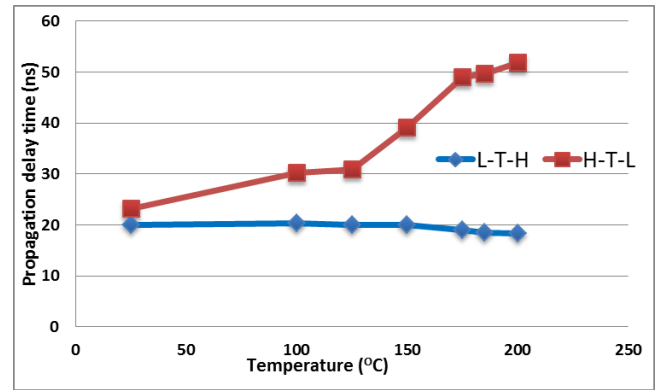


Fig. 7. Temps de propagation du signal d'entrée et de sortie en fonction de la température pendant le temps de montée et le temps de descente

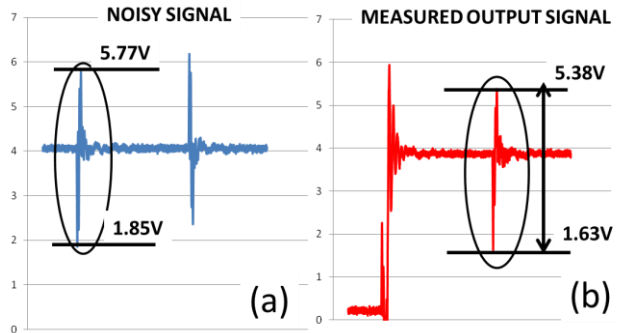


Fig. 8. Signal de sortie sous sollicitation externe dv/dt : a) Sans signal d'entrée, perturbation mesurée à la sortie; b) Avec le signal d'entrée, signal mesuré en sortie, comprenant le bruit

3.2 Levelshifter à miroir de courant

Cette topologie de levelshifter à source de courant est composée de deux CSU (Control Signal Unit) pulsées (fig. 9). Cette structure offre une symétrisation parfaite des fronts de commutation du composant de puissance. Le décalage temporel entre les deux impulsions de tension est déterminé par le rapport cyclique. Une bascule RS produit le rapport cyclique à partir des deux signaux pulsés, avec des temps de montée et de descente identiques garantissant la bonne valeur du rapport cyclique et une très bonne localisation temporelle de celui-ci ce qui est important dans le cas de commutation

transistor - transistor (en comparaison d'une commutation transistor - diode, moins sensible à cette dispersion temporelle).

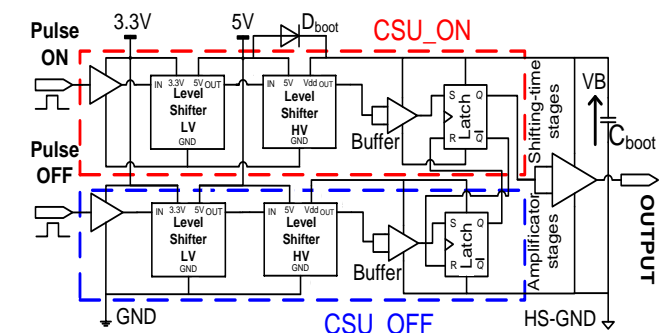


Fig. 9. Schéma du « level-shifter » haute tension avec CSUs

En effet, cette topologie est bien adaptée pour optimiser les variations entre transistors car elle produit un délai de propagation réduit et très stable. L'opportunité d'intégrer tous les levelshifter sur une seule puce permet de les rendre identiques d'un point de vue technologique et de les faire fonctionner dans des conditions similaires, en particulier au niveau thermique. De plus la transmission de signal pulsé permet le design de miroirs de courant avec des niveaux de courant élevé pour augmenter l'immunité au dv/dt tout en maintenant une faible consommation (<10 mW). En revanche, la tenue en tension de cette solution vient de tenue en tension du transistor Tcm2 de la Figure 10. Elle est donc limitée par la technologie, ici 200V. C'est une donnée importante puisque cela ne permet pas d'envisager des applications HT avec cette approche puisque les transistors haute tension sont limités en température de fonctionnement.

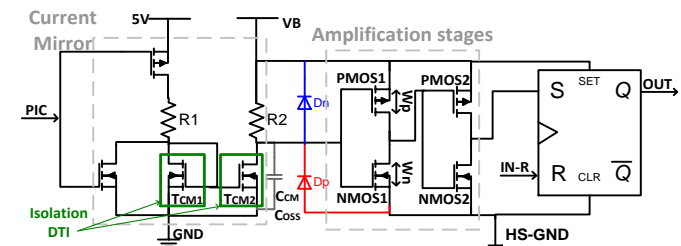


Fig. 10. Topologie de « level-shifter » haute tension

Dans cette approche, C_{cm} représente la capacité parasite de mode commun et C_{oss2} est la capacité de sortie de Tcm2. Ces capacités sont excitées par les dv/dt appliquées entre la partie lowside et la partie high-side du dispositif de transfert d'ordre. Le composant est conçu pour minimiser ces capacités et leur influence sur le transfert de signaux parasites (courant non désirés).

Un premier dispositif expérimental est proposé Figure 11. Afin de vérifier le fonctionnement et l'analyse de la solution « Level-Shifter » en fonction de la température, un ensemble complet de caractérisation a été réalisé. Cette section concerne les retards de propagation du signal au blocage et à l'amorçage (fig. 10).

Dans ce cas, la largeur d'impulsion (turn-on et turn-off) du signal d'entrée est de $2\mu s$ à la fréquence de fonctionnement de 100 kHz. Le retard de propagation du signal au turn-on augmente de 0,9 ns soit 5,5% pour une augmentation de la température de $25^{\circ}C$ à $200^{\circ}C$. D'une manière similaire; le temps de propagation du signal au turn- off augmente de 1,5 ns soit 9%. En ce qui concerne l'immunité aux dv/dt , le

levelshifter est finalement significativement sensible, même à un faible dv/dt de 5V/nsec (Fig. 11).

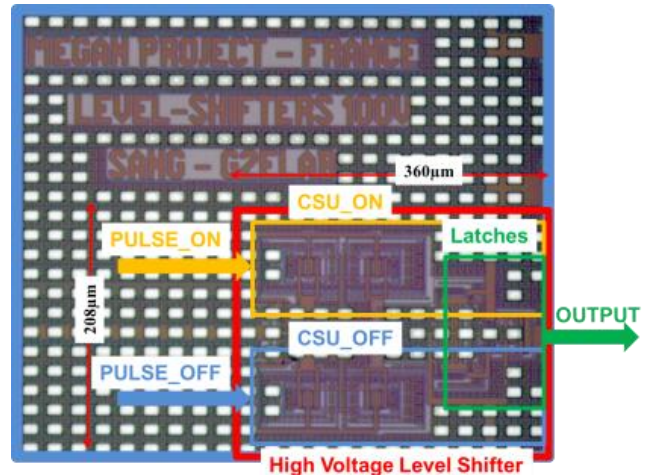


Fig. 11. Photo microscopée du « level-shifter » pulsé à 100V

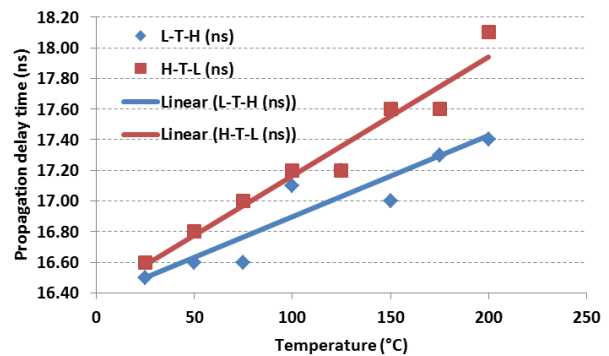


Fig. 12 Temps de propagation du signal d'entrée et de sortie en fonction de la température pendant le temps de montée et le temps de descente

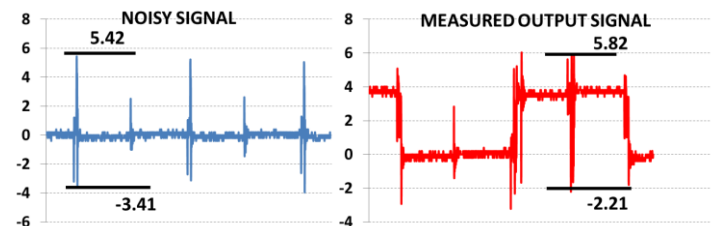


Fig. 13 Signal de sortie avec dv/dt du level shifter pulsé a) Sans signal d'entrée, la perturbation à la sortie; b) Avec le signal d'entrée, signal mesuré en sortie, comprenant le bruit

3.3 Transmission optique intégrée

Une approche basée sur l'intégration d'un driver optique est présentée dans la figure 14. Le signal de commande est transmis par une voie optique via un émetteur optique externe vers le récepteur optique intégré au sein du gate driver et de son circuit de traitement et d'amplification. Dans cette approche d'intégration du détecteur optique, la tenue d'isolement est fixée par le mode d'assemblage entre l'émetteur de lumière externe et les fonctions électroniques intégrées dans la puce. L'immunité au dv/dt découlera aussi de ce mode d'assemblage. Néanmoins, avec une source optique externe et une transmission par un guide d'onde de l'ordre de 1m (fibre optique bas coût par exemple), nous espérons atteindre des performances d'isolement et d'immunité au-delà de l'état de l'art des circuits intégrés tels que [9] (APCL-P349 ; solution opto-coupleur intégré au gate driver) ou [10]

(BM6108 ; solution d'isolateur coreless intégré au gate driver). Dans notre approche, l'ordre de grandeur de la puissance optique nécessaire pour le transfert des ordres de commande est de quelques μW [8].

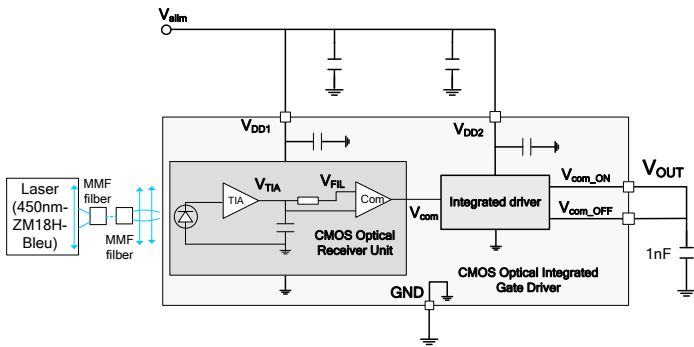


Fig. 14. Structure d'un gate driver optique (Photo-détecteur intégré + circuit de traitement du signal + étage d'amplification)

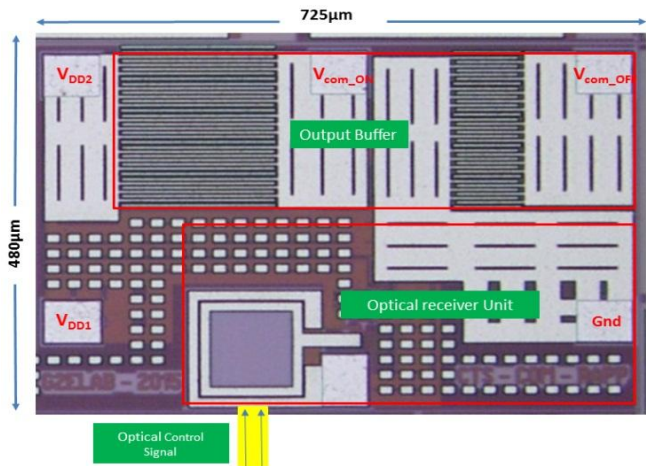


Fig. 15. Image Microscope du driver optique XFAB XT018 intégré, regroupant un détecteur optique, son circuit électronique de traitement et un buffer de commande de grille de puissance

Dans ce travail, un récepteur CMOS optique, comprenant un détecteur sensible à la lumière avec son circuit de traitement du signal (SPC) et le buffer de sortie du gate driver sont intégrés dans une seule puce tout en consommant moins de 1 mm^2 de silicium (figure 15). Dans cet article, un prototype est proposé, et la validation de la commande de grille à haute température est présentée. Le photodétecteur, basé sur une jonction verticale Nwell /Psubstrat, est intégré avec son SPC sans processus spécifique (pas de revêtement antireflet, ni oxydes ni couche de passivation). La sensibilité spectrale et le rendement quantique du détecteur optique intégré sont mesurés en fonction de la longueur d'onde incidente et à 1V de polarisation inverse et présentés sur la figure 16 (température ambiante).

Le circuit SPC consomme environ 4mW sous une tension d'alimentation 4V à 25°C (conforme à la valeur de simulation et de conception, afin de garantir d'une bonne bande passante des fonctions électroniques de traitement du courant généré par voie optique). L'impact de la température sur les caractéristiques de commutation est étudié expérimentalement. Les résultats de mesure à différentes températures (de 25 °C à 175 °C) sont présentés sur la Fig. 17. Le retard de propagation entre le signal d'entrée et la tension de sortie avec la sortie passant de bas à haut (t_{LTH}) et la distorsion de largeur d'impulsion et le temps de propagation entre les signaux

d'entrée et de sortie) avec la sortie passant de haut à bas (sont mesurées). Le retard de propagation entre le signal d'entrée et le signal de sortie t_{LTH} est mesuré de 10% du niveau du signal d'entrée sur la photodiode intégrée à 10% de la variation du signal de sortie V_{out} (voir Fig.17).

Les résultats montrent une augmentation du retard de propagation d'environ 4 ns et une variation de la largeur d'impulsion de 3 ns en fonction de la température. Ces valeurs ne prennent pas en compte les temps de propagation fixes de l'émetteur optique vis-à-vis du signal de modulation externe (mesuré autour de 70ns pour le laser utilisé), ni le temps de propagation dans la fibre optique (estimé autour de 5ns). A titre de comparaison, le gate driver commercial de ROHM - BM6108 [10] intégrant une isolation galvanique des ordres de commande présente une dispersion maximale des temps de propagation de 45ns, là où notre solution présente une distorsion typique maximale de 7ns sur la plage 25°C à 175°C.

Les résultats montrent la possibilité pour ce circuit de piloter un composant de puissance à haute température. Si cette technique devrait être la plus immunisée aux dv/dt , nous ne sommes pas en mesure de caractériser l'immunité au dv/dt au moment où nous rédigeons cet article. Des travaux d'assemblage sont en cours afin de mesurer l'immunité maximale au dv/dt .

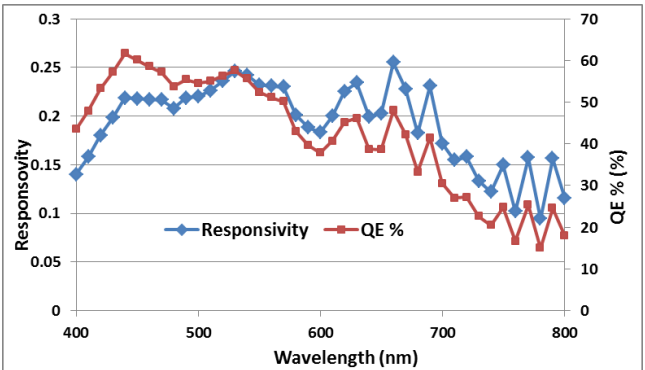


Fig. 16. Sensibilité spectrale mesurée et rendement quantique QE (%) en fonction de la longueur d'onde, à température ambiante et à 1V de polarisation inverse

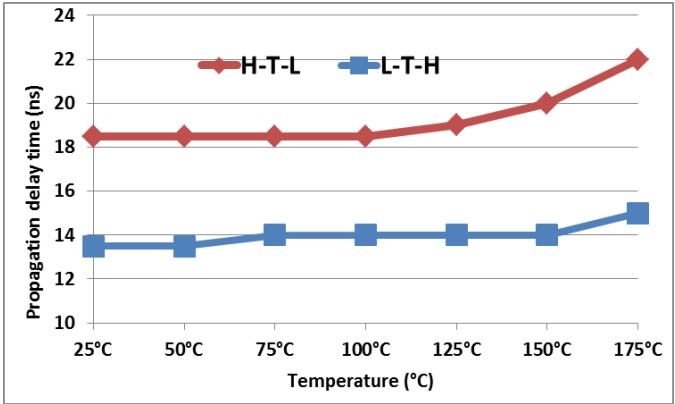


Fig. 17. Temps de propagation du signal d'entrée et de sortie en fonction de la température pendant le temps de montée et le temps de descente

4. SYNTHÈSE ET COMPARAISON DES SOLUTIONS DE TRANSFERT DES ORDRES DE COMMANDE

A partir des set-up expérimentaux de caractérisation, le bilan de comparaison des trois techniques intégrées différentes de transfert des ordres sont montrées dans le tableau 1.

Tableau 1. Bilan de comparasion de 3 drivers integres (*estimation émetteur optique, **ne pas compter le délai de propagation supplémentaire du émetteur optique)

	<i>Driver avec transformateur coreless</i>		<i>Driver avec levelshifter à miroir de courant</i>		<i>Driver avec transmission optique intégrée</i>	
T°C	25°C	200°C	25°C	200°C	25°C	175°C
dV/dt max	25 V/ns	en cours	5 V/ns	en cours	en cours	
LTH	20ns	19ns	16.5ns	17.4ns	13.8ns	15ns
HTL	22ns	51ns	16.6ns	18.1ns	18.5ns**	22ns**
Consommation	41.2 mW	46.9 mW	2 mW	3 mW	4mW(+5mW)*	en cours

Pour les consommations, la solution avec le transformateur coreless consomme le plus d'énergie en raison de la partie de modulation à haute fréquence (entre 300 et 600MHz), 90% de la puissance consommée venant du modulateur haute fréquence. La consommation du driver avec levelshifter à miroir de courant est plus petite. La consommation du récepteur optique de driver avec transmission optique intégrée est à mi-chemin entre les deux autres avec une estimation de la partie émetteur. Le driver avec le tranformateurcoreless présente dv/dt max de 25V/ns par rapport les autres techniques. Et le driver avec levelshifter est la plus faible dépendance de la température au niveau de délais de propagation et dispersion du signal de commande.

5. GENERATION DE L'ALIMENTATION FLOTTANTE PAR VOIE OPTIQUE

Les trois solutions de transfert des ordres isolées n'abordent pas la problématique de l'alimentation flottante du gate driver. Afin de pouvoir repousser les contraintes d'immunité au dv/dt de l'alimentation flottante du gate driver et profiter des efforts précédents sur le transfert des ordres de commande, le G2Elab a proposé d'intégrer un détecteur optique fonctionnant en mode Photo-Voltaïque et pouvant générer localement l'alimentation du gate driver. La structure d'un tel gate driver, intégrant une alimentation par voie optique et un transfert des ordres de commande par voie optique est présenté sur la figure 18.

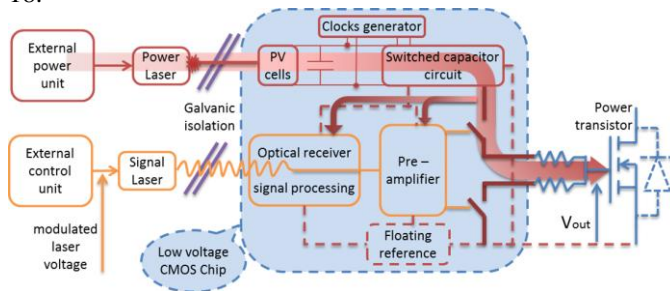


Fig. 18. Structure d'un gate driver CMOS ayant une alimentation par voie optique intégrée et par exemple, un transfert des ordres de commande par voie optique

Cette approche propose d'associer alors un ou plusieurs détecteurs optiques connectés à un convertisseur DC/DC intégré, permettant de générer l'alimentation de l'ensemble des fonctions du gate driver, incluant la puissance de charge de grille de puissance. Comme présenté dans la figure 16, le rendement quantique des capteurs optiques est proche de 60%, ce qui nous conforte dans l'idée de pouvoir utiliser cette technologie comme solution performante de génération de

l'alimentation flottante, dans le contexte des fortes vitesses de commutation. La figure 19 présente les caractéristiques IV mesurées des capteurs optiques intégrés, démontrant une génération possible de 2.6mW électrique, à partir de 62mW optique (laser vert). Néanmoins, nos premières caractérisations démontrent d'une forte dépendance à la température, avec une baisse de 66% de la puissance générée pour une variation de température de 225°C. Il faudra prendre en compte cette dispersion en température dans la spécification de la puissance optique minimale à fournir pour garantir un fonctionnement du gatedriver.

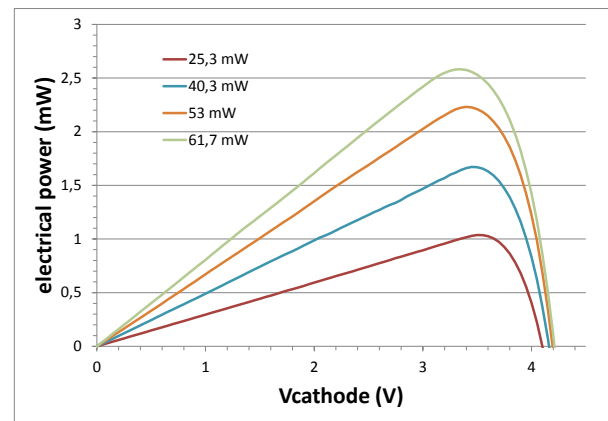


Fig. 19. Mesure de la puissance électrique générée par le capteur optique intégré pour différentes polarisations directes et puissances optiques incidente (température ambiante, laser vert)

6. CONCLUSION

Cet article propose la comparaison de trois techniques de transferts d'ordres intégrés dans un environnement sévère (haute température et fort dv/dt). Les résultats expérimentaux montrent pour chaque technique la capacité à fonctionner à des températures allant jusqu'à 200°C tout en offrant d'assez bons délais de propagation et pour certains d'entre eux une immunité satisfaisante aux dv/dt . Le levelshifter à base de miroir de courant pulsé a une dérive des temps de propagation minimum, mais est limité en immunité aux dv/dt ainsi que pour les tensions de fonctionnement. Le driver coreless présente le meilleur compromis avec d'assez bons écarts de temps de propagation, une immunité correcte aux dv/dt et des tensions de fonctionnement élevées. La transmission optique reste la technique la plus immunisée aux dv/dt en théorie avec une consommation électrique satisfaisante mais reste aussi plus complexe à mettre en œuvre. Des travaux supplémentaires sont nécessaires pour confirmer ces premiers résultats.

ACKNOWLEDGEMENT

Ce projet a été financé par BPI France et OSEO (projet #MEGaN). L'équipement de caractérisation a été aussi supporté par des fonds publics français ANR-10-LabX-51-01 (Labex LANEF du Programme d'Investissements d'Avenir , équipement grant #CARAPACE). Nous remercions également la société ID-MOS et le CEA LETI, partenaires du projet et du Work Package Driver pour leur partenariat tout au long du projet et des développements prototypes. Enfin, nous remercions le CIME-Nanotech et la Plateforme Technologique Amont (PTA – réseau RENATECH) pour leurs supports techniques et technologiques. Les auteurs remercient Nicolas CARRAO du laboratoire IMEP-LAHC pour la mesure des paramètres S des transformateurs coreless.

REFERENCE

- [1] Kargarrazi, S. ; Lanni, L. ; Rusu, A. ; Zetterling, C.-M., "A monolithic SiC drive circuit for SiC Power BJTs" International Symposium on Power Semiconductor Devices & IC's (ISPSD), 2015 IEEE 27th, p285 – p288, 10-14 May 2015.
- [2] Badawi, N.; Knieling, P.; Dieckerhoff, S., "High-speed gate driver design for testing and characterizing WBG power transistors" 2012 15th International Power Electronics and Motion Control Conference (EPE/PEMC), Pages: LS6d.4-1 - LS6d.4-6, 2012.
- [3] Farshid SARRAFIN-ARDEBILI, Bruno ALLARD, Jean-Christophe CREBIER, "Analysis of Gate-Driver Circuit requirements for H-Bridge Based Converters with GaN HFETs", EPE'15 ECCE-Europe, p1-10, sept 2015
- [4] To, D.-N.; Rouger, N.; Lembeye, Y.; Arnould, J.-D.; Corrao, N., "Modeling and characterization of 0.35 μ m CMOS coreless transformer for gate drivers" International Symposium on Power Semiconductor Devices & IC's (ISPSD), 2014 IEEE 26th, p330 – p333, 15-19 June 2014.
- [5] Yunwu Zhang; Jing Zhu; Weifeng Sun; Yangyang Lu; Lihui Gu; Sen Zhang; Wei Su, "A capacitive-loaded level shift circuit for improving the noise immunity of high voltage gate drive IC" IEEE 27th International Symposium on Power Semiconductor Devices & IC's (ISPSD), p173 – p176, 2015
- [6] To, D.-N. ; Rouger, N.; Arnould, J.-D.; Corrao, N.; Crebier, J.-C.; Lembeye, Y. "Integrated gate driver circuits with an ultra-compact design and high level of galvanic isolation for power transistors," IEEE CIPS, 2014, pp.348–353.
- [7] Rouger, N.; Crebier, J.-C.; Lesaint, O.; "Integrated low power and high bandwidth optical isolator for monolithic power MOSFETs driver", 2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs (ISPSD), p356 - p359, 2011 .
- [8] Thanh-Long LE; Davy COLIN; Jean Chistophe CREBIER; Nicolas ROUGER; "CMOS Gate Driver with Integrated Optical receiver for Power Electronics applications", EPE'15 ECCE-Europe, p1-10, sept 2015.
- [9] Avago technologies :
<http://www.avagotech.com/products/optocouplers/industrial-plastic/isolated-gate-drive-optocouplers/gate-drives/acpl-w349-000e>
- [10] Rohm semiconductor :
http://rohmfs.rohm.com/en/products/databook/datasheet/ic/power/gate_driver/bm6108fv-lb-e.pdf